

Lerncomputer LC-80ex V2

Basiert auf dem Lerncomputer LC-80, der 1983-85 im VEB Mikroelektronik "Karl Marx" Erfurt von DDR-Ingenieuren entwickelt und gebaut wurde. Als Vorlage dieser 2014-2016 modifizierten und erweiterten Variante diente ein Entwicklungsexemplar (Leerplatte) der Exportversion LC-80e.

Autor: Karsten Kaden, Chemnitz
Januar 2016

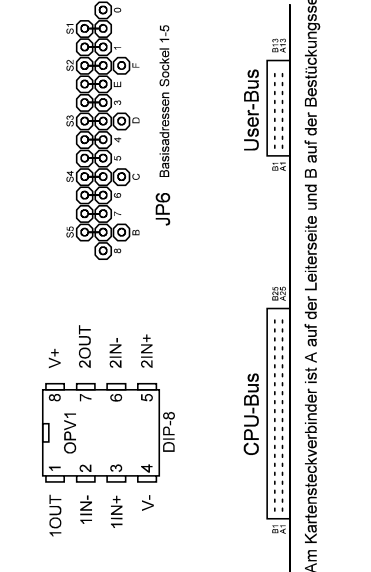
Matrixbeschriftung

RES (1)	SPB7 (8)	SPB4 (14)	SPB7 (8)
NMI (2)	UPB7 (5)	UPB6 (13)	UPB5 (11)
SPB6 (10)	SPB6 (10)	SPB5 (12)	SPB6 (10)
SPB5 (12)	SPB5 (12)	SPB6 (10)	SPB5 (12)
UPB6 (13)	UPB7 (5)	UPB6 (13)	UPB5 (11)
SPB4 (14)	SPB4 (14)	SPB7 (8)	SPB4 (14)
UPB5 (11)	UPB7 (5)	UPB6 (13)	UPB5 (11)
SPB3 (7)	SPB3 (7)	SPB3 (7)	SPB3 (7)
UPB7 (5)	UPB7 (5)	UPB6 (13)	UPB5 (11)

SPBx (y) x = Portpin System-PIO y = Pin JP10
UPBx (y) x = Portpin User-PIO y = Pin JP10

Tastenschema

RES	+	-
NMI	D	F
ST	8	A
LD	4	5
EX	0	1
	2	3



I/O-Adressen	
F4	Sys PIO Port A Data
F5	Sys PIO Port B Data
F6	Sys PIO Port A Control
F7	Sys PIO Port B Control
F8	User PIO Port A Data
F9	User PIO Port B Data
FA	User PIO Port A Control
FB	User PIO Port B Control
EC	CTC Kanal 0
ED	CTC Kanal 1
EE	CTC Kanal 2
EF	CTC Kanal 3
DC	SIO Port A Data
DD	SIO Port B Data
DE	SIO Port A Control
DF	SIO Port B Control

User-Bus	
1	UPA0
2	UPA1
3	UPA2
4	UPA3
5	UPA4
6	UPA5
7	UPA6
8	UPA7
9	ASTB
10	ARDY
11	UPB0
12	UPB1
13	UPB2
14	UPB3

Datenbus	
1	D0
2	D1
3	D2
4	D3
5	D4
6	D5
7	D6
8	D7

Steuerbus	
1	INT
2	BUSRQ
3	WAIT
4	RESET
5	CLK
6	M1 CPU
7	IORQ
8	RD
9	WR
10	MREQ
11	RFRSH
12	HALT
13	BUSAK
14	M1 PIO/SIO/CTC
15	AD1/C - AD2/4
16	MEDI

